

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

## ⑫ 公開特許公報(A) 平3-242898

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)10月29日

G 11 C 11/419  
H 01 L 27/10

4 8 1

8624-5F  
8526-5L

G 11 C 11/34 3 1 1

審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 センス増幅回路

⑯ 特 願 平2-40082

⑰ 出 願 平2(1990)2月21日

⑱ 発 明 者 堀 田 泰 裕 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内

⑲ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

⑳ 代 理 人 弁理士 青山 葆 外1名

## 明 細 書

## 1. 発明の名称

センス増幅回路、

## 2. 特許請求の範囲

(1) トランジスタからなるメモリセルの論理状態が“1”または“0”のいずれであるかを上記トランジスタにつながるデータ線を介して検出するセンス増幅回路であって、

上記メモリセルの“1”状態と同一特性を有するトランジスタからなる第1のダミーメモリセルと、

上記メモリセルの“0”状態と同一特性を有するトランジスタからなる第2のダミーメモリセルと、

上記第1のダミーメモリセルに接続され、第1のダミーメモリセルのトランジスタの特性に応じて低レベルの参照電位が与えられる第1の参照線と、

上記第2のダミーメモリセルに接続され、第2のダミーメモリセルのトランジスタの特性に応じて高レベルの参照電位が与えられる第2の参照線と、

検出すべきメモリセルにつながるデータ線と第

1、第2の参照線とを差動入力として受けて、第1、第2の参照線のうち上記データ線と電位が異なる方の参照線の電位に基づいて上記メモリセルの論理状態に応じた高低いずれかのレベルを出力する差動増幅回路を備えたことを特徴とするセンス増幅回路。

## 3. 発明の詳細な説明

<産業上の利用分野>

この発明は半導体メモリのセンス増幅回路に関する。

<従来の技術>

従来、半導体メモリ、例えばマスクROMのセンス増幅回路としては第4図に示すようなものがある。このセンス増幅回路は、カレントミラー型差動増幅回路10と、PMOSTランジスタQ<sub>p1</sub>を介して電源につながる参照線REFと、オン状態のNMOSTランジスタQ<sub>n1</sub>と、このNMOSTランジスタQ<sub>n1</sub>を介して参照線REFにつながるダミービット線DBLと、このダミービット線

DBLとグラウンドとの間に直列接続されたダミーメモリセルトランジスタ $Q_{n1}$ 、 $Q_{n2}$ を備えている。また、参照線REF側と対称にPMOSTランジスタ $Q_{p1}$ を介して電源につながるデータ線DLと、コラム選択信号CselによりスイッチングされるNMOSTランジスタ $Q_{n3}$ と、このNMOSTランジスタ $Q_{n3}$ を介してデータ線DLにつながるビット線BLを備えている。ビット線BLとグラウンドとの間には複数のNMOSメモリセルトランジスタ $Q_{n4}$ (図中、1つのみ示す)が接続されている。上記カレントミラー型差動増幅回路10は、同一特性を有し電源につながる一対のPMOSTランジスタ $Q_{p5}$ 、 $Q_{p6}$ と、同じく同一特性を有しこの $Q_{p5}$ 、 $Q_{p6}$ にそれぞれ直列接続された一対のNMOSTランジスタ $Q_{n5}$ 、 $Q_{n7}$ と、これらのトランジスタ $Q_{n5}$ 、 $Q_{n7}$ の接続点とグラウンドとの間に接続されたNMOSTランジスタ $Q_{n6}$ からなっている。NMOSTランジスタ $Q_{n5}$ 、 $Q_{n7}$ のゲートはそれぞれ参照線REF、データ線DLに接続されている。上記メモリセルトランジスタ $Q_{n1}$ は、論

理状態“1”すなわち低しきい値のとき、通常のエンハンスメントトランジスタと同様にゲートにワード線WLを通して電圧が印加されるとオンとなる一方、論理状態“0”すなわち高しきい値のとき、ほとんど電流を流さないオフ状態となる。NMOSダミーメモリセルトランジスタ $Q_{n1}$ 、 $Q_{n2}$ は、いずれも論理状態“1”のときのメモリセルトランジスタ $Q_{n1}$ と同一特性となっている。

参照線REFに対して、PMOSTランジスタ $Q_{p1}$ を介して電源(電位 $V_{cc}$ )より流れ込む充電電流は、第3図中に破線13で示すように、参照線REFの電位(以下、「参照電位」という) $V_{ref}$ が上昇するにつれて減少する。一方、参照線REFからダミーメモリセルトランジスタ $Q_{n1}$ 、 $Q_{n2}$ を介してグラウンドへ流出する放電電流は、参照電位 $V_{ref}$ が上昇すると同図中に一点鎖線14で示すように増加する。したがって、参照電位 $V_{ref}$ は、上に述べた充電電流と放電電流とのバランスによって定まり、破線13と一点鎖線14との交点Cで表わされる電位 $V_c$ となる。また、データ線DL

-3-

に対して、PMOSTランジスタ $Q_{p1}$ を介して電源より流れ込む充電電流は、参照線REF側と同様に、データ線の電位(以下、「データ線電位」という) $V_{dl}$ が上昇すると破線13で示すように減少する。データ線DLからグラウンドへ流出する放電電流は、メモリセルトランジスタ $Q_{n1}$ が“1”状態のとき、データ線電位 $V_{dl}$ が上昇すると実線11で示すように増加する。一方、メモリセルトランジスタ $Q_{n1}$ が“0”状態のとき、実線12で示すようにデータ線電位 $V_{dl}$ の値に関わらずほとんどゼロとなる。なお、ダミーメモリセルトランジスタ $Q_{n1}$ 、 $Q_{n2}$ の直列抵抗によって参照線REFの放電電流14はデータ線DLの放電電流11の略半分の値となっている。データ線電位 $V_{dl}$ は、充電電流と放電電流とのバランスによって、メモリセルトランジスタ $Q_{n1}$ が“1”状態のとき、破線13と実線11との交点Aで表わされる電位 $V_a$ ( $< V_c$ )となる。逆に、メモリセルトランジスタ $Q_{n1}$ が“0”状態のときは、破線13と実線12との交点Bで表わされる電位 $V_b$ ( $> V_c$ )となる。そして、

-4-

メモリセルトランジスタ $Q_{n1}$ が“1”状態のとき、カレントミラー型差動増幅回路10は、NMOSTランジスタ $Q_{n5}$ 、 $Q_{n7}$ のゲートに、それぞれ参照電位 $V_{ref}=V_c$ 、データ線電位 $V_{dl}=V_a$ を受けて差動増幅し、この電位差に基づいて電位 $V_{sa}$ を高レベルにして出力する。メモリセルトランジスタ $Q_{n1}$ が“0”状態のときは、上記NMOSTランジスタ $Q_{n5}$ 、 $Q_{n7}$ のゲートにそれぞれ参照電位 $V_{ref}=V_c$ 、データ線電位 $V_{dl}=V_b$ を受けて差動増幅し、電位 $V_{sa}$ を低レベルにして出力する。このようにしてメモリセル $Q_{n1}$ の論理状態を検出するようにしている。

<発明が解決しようとする課題>

ところで、上記メモリセルトランジスタ $Q_{n1}$ は、“0”状態のとき第3図に実線12で示したデータ線DLの放電電流がほとんどゼロになるように設計されている。しかしながら、製造ばらつきによって無視できない大きさの放電電流が流れることがある。すると、データ線電位 $V_{dl}$ の値が低下して $V_b$ 以下となり、上記参照電位 $V_{ref}$ との差が設計

値 $((V_b - V_a)/2)$ 程度よりも小さくなる。このため、上記従来のセンス増幅回路は、動作余裕が少なく安定性に欠けるという問題がある。極端な場合、メモリセルトランジスタ $Q_{a1}$ が“0”状態であるにもかかわらず $V_{dl} < V_{ref}(=V_c)$ となって誤動作することがある。

また、EPROMやEEPROMのセンス増幅回路の場合も、メモリセルの書き換えに伴ってメモリセルトランジスタの“0”状態の特性が劣化して同様の問題を生じることがある。

そこで、この発明の目的は、製造ばらつきや書き換えに伴う特性劣化等によってメモリセルトランジスタの“0”状態の電流特性が劣化したとしても、誤動作することなく安定にセンス増幅できるセンス増幅回路を提供することにある。

#### <課題を解決するための手段>

上記目的を達成するために、この発明のセンス増幅回路は、トランジスタからなるメモリセルの論理状態が“1”または“0”のいずれであるかを上記トランジスタにつながるデータ線を介して検出

するセンス増幅回路であって、上記メモリセルの“1”状態と同一特性を有するトランジスタからなる第1のダミーメモリセルと、上記メモリセルの“0”状態と同一特性を有するトランジスタからなる第2のダミーメモリセルと、上記第1のダミーメモリセルに接続され、第1のダミーメモリセルのトランジスタの特性に応じて低レベルの参照電位が与えられる第1の参照線と、上記第2のダミーメモリセルに接続され、第2のダミーメモリセルのトランジスタの特性に応じて高レベルの参照電位が与えられる第2の参照線と、検出すべきメモリセルにつながるデータ線と第1、第2の参照線とを差動入力として受けて、第1、第2の参照線のうち上記データ線と電位が異なる方の参照線の電位に基づいて上記メモリセルの論理状態に応じた高低いずれかのレベルを出力する差動増幅回路を備えたことを特徴としている。

#### <作用>

差動増幅回路は、低レベルの第1の参照線と高レベルの第2の参照線のうちデータ線と電位が異

なる方の参照線の電位に基づいて動作する。例えば、メモリセルトランジスタが“1”状態、したがってデータ線電位が低レベルのとき、高レベルの第2の参照線の電位(第2の参照電位)を基準として、この高レベルの第2の参照電位と低レベルのデータ線電位との差を入力として差動増幅する。逆に、メモリセルトランジスタが“0”状態、したがってデータ線電位が高レベルのとき、低レベルの第1の参照線の電位(第1の参照電位)を基準として、この低レベルの第1の参照電位と高レベルのデータ線電位との差を入力として差動増幅する。このように参照電位とデータ線電位との差は、データ線電位が高低いずれのレベルであっても、上記高レベルと低レベルとの差となっている。すなわち、差動増幅回路の入力の電位差は従来に比して設計上約2倍となっており、差動増幅回路の動作余裕が増えている。

製造ばらつき等によって、メモリセルトランジスタが“0”状態のときにデータ線の放電電流が生じると、データ線電位が低下する。このとき、第

2のダミーメモリセルトランジスタがメモリセルトランジスタの“0”状態と同一特性を有しているので、第2の参照電位もデータ線電位と同じだけ低下する。したがって、第1の参照電位と第2の参照電位との差が減少し、上記差動増幅回路の入力の電位差が減少する。しかしながら、上記第1、第2の参照電位の差は、従来に比して設計上約2倍となっているため、極端な場合、この電位差が設計値の半分程度になったとしても、従来のセンス増幅回路の設計レベル並みであるから上記差動増幅回路は正常に動作する。したがって、従来に比してセンス増幅が安定に行われる。

#### <実施例>

以下、この発明のセンス増幅回路を図示の実施例により詳細に説明する。なお、マスクROMのセンス増幅回路について説明するものとする。

第1図に示すように、このセンス増幅回路は、カレントミラー型差動増幅回路20と、PMOSトランジスタ $Q_{p1}$ を介して電源につながるデータ線DLと、コラム選択信号 $C_{sel}$ によりスイッチン

グされるNMOSトランジスタ $Q_{n1}$ と、NMOSトランジスタ $Q_{n2}$ を介してデータ線DLにつながるビット線BLを備えている。ビット線BLとグランドとの間には複数のNMOSメモリセルトランジスタ $Q_{n3}$ (図中、1つのみ示す)が接続されている。また、このセンス増幅回路は、PMOSTランジスタ $Q_{p1}$ 、 $Q_{p2}$ を介してそれぞれ電源につながる第1の参照線REF<sub>1</sub>、第2の参照線REF<sub>2</sub>と、オン状態のNMOSTランジスタ $Q_{n1}$ 、 $Q_{n2}$ と、NMOSTランジスタ $Q_{n3}$ 、 $Q_{n3}$ を介してそれぞれ第1、第2の参照線REF<sub>1</sub>、REF<sub>2</sub>につながる第1のダミービット線DBL<sub>1</sub>、第2のダミービット線DBL<sub>2</sub>と、この第1、第2のダミービット線DBL<sub>1</sub>、DBL<sub>2</sub>とグランドとの間にそれぞれ接続されたダミーメモリセルトランジスタ $Q_{n4}$ 、 $Q_{n5}$ を備えている。上記カレントミラー型差動増幅回路20は、電源につながる一対のPMOSTランジスタ $Q_{p1}$ 、 $Q_{p2}$ と、この $Q_{p1}$ 、 $Q_{p2}$ にそれぞれ接続された各一対のNMOSTランジスタ $Q_{n1}$ 、 $Q_{n2}$ 、 $Q_{n3}$ 、 $Q_{n3}$ と、これら $Q_{n1}$ 、 $Q_{n2}$ 、 $Q_{n3}$ 、 $Q_{n3}$ の接

続点とグランドとの間に接続されたNMOSTランジスタ $Q_{n4}$ 、 $Q_{n5}$ からなっている。NMOSTランジスタ $Q_{n1}$ 、 $Q_{n2}$ 、 $Q_{n3}$ および $Q_{n3}$ は互いに同一特性を有している。 $Q_{n1}$ 、 $Q_{n2}$ のゲートはともにデータ線DLに接続される一方、 $Q_{n3}$ 、 $Q_{n3}$ のゲートはそれぞれ第1、第2の参照線REF<sub>1</sub>、REF<sub>2</sub>に接続されている。上記メモリセルトランジスタ $Q_{n3}$ は、論理状態“1”すなわち低しきい値のとき、通常のエンハンスメントトランジスタと同様に、ゲートにワード線WLを通して電圧が印加されるとオンとなる一方、論理状態“0”すなわち高しきい値のとき、ほとんど電流を流さないオフ状態となる。ダミーメモリセルトランジスタ $Q_{n4}$ 、 $Q_{n5}$ は、それぞれメモリセルトランジスタ $Q_{n3}$ の“1”状態、“0”状態と同一特性となっている。またPMOSTランジスタ $Q_{p1}$ 、 $Q_{p2}$ および $Q_{p3}$ は互いに同一特性を有しており、それぞれ $Q_{n1}$ 、 $Q_{n2}$ 、 $Q_{n3}$ の負荷として動作する。

データ線DLに対して、PMOSTランジスタ $Q_{p1}$ を介して電源(電位V<sub>cc</sub>)より流れ込む充電電

-11-

流は、データ線電位V<sub>dq</sub>が上昇すると第2図中に破線3で示すように減少する。データ線DLからグランドへ流出する放電電流は、メモリセルトランジスタ $Q_{n3}$ が“1”状態のとき、データ線電位V<sub>dq</sub>が上昇すると同図中に実線1で示すように増加する。逆に、メモリセルトランジスタ $Q_{n3}$ が“0”状態のとき、実線2で示すようにデータ線電位V<sub>dq</sub>の値に関わらずほとんどゼロとなる。したがって、データ線電位V<sub>dq</sub>は、上に述べた充電電流と放電電流とのバランスによって定まり、メモリセルトランジスタ $Q_{n3}$ が“1”状態のとき、破線3と実線1との交点Aで表わされる電位V<sub>a</sub>となる。逆に、メモリセルトランジスタ $Q_{n3}$ が“0”状態のときは、破線3と実線2との交点Bで表わされる電位V<sub>b</sub>となる。

また、第1の参照線REF<sub>1</sub>、第2の参照線REF<sub>2</sub>に対して、それぞれPMOSTランジスタ $Q_{p1}$ 、 $Q_{p2}$ を介して電源から流れ込む充電電流は、データ線DL側と同様に、いずれも第2図中に破線3で示すように、第1、第2の参照電位V<sub>ref1</sub>、V<sub>ref2</sub>

-12-

が上昇するにつれて減少する。第1の参照線REF<sub>1</sub>からダミーメモリセルトランジスタ $Q_{n4}$ を介してグランドへ流出する放電電流は、第1の参照電位V<sub>ref1</sub>が上昇すると実線1で示すように増加する一方、第2の参照線REF<sub>2</sub>からダミーメモリセルトランジスタ $Q_{n5}$ を介してグランドへ流出する放電電流は、第2の参照電位V<sub>ref2</sub>の値に関わらずほとんどゼロとなる。したがって、第1、第2の参照電位V<sub>ref1</sub>、V<sub>ref2</sub>は、充電電流、放電電流のバランスによってそれぞれ点A、点Bで表わされる電位V<sub>a</sub>、V<sub>b</sub>となる。

上記差動増幅回路20は、低レベルV<sub>a</sub>の第1の参照線REF<sub>1</sub>と高レベルV<sub>b</sub>の第2の参照線REF<sub>2</sub>のうちデータ線DLと電位が異なる方の参照線の電位に基づいて動作する。例えば、メモリセルトランジスタ $Q_{n3}$ が“1”状態、したがってデータ線電位V<sub>dq</sub>が低レベルV<sub>a</sub>のとき、第1の参照電位V<sub>ref1</sub>が低レベルV<sub>a</sub>であるから、まずトランジスタ $Q_{n1}$ 、 $Q_{n2}$ および $Q_{n3}$ を流れる電流が同一の大きさになる。ここで、第2の参照電位V<sub>ref2</sub>

of<sub>1</sub>は高レベルV<sub>b</sub>であるから、トランジスタQ<sub>n1o</sub>を流れる電流は上記Q<sub>n1</sub>、Q<sub>n2</sub>、Q<sub>n3</sub>を流れる電流よりも大きくなる。したがって、この差動増幅回路20は、高レベルV<sub>b</sub>の第2の参照電位に基づいて電位V<sub>sa</sub>を低レベルにして出力する。逆に、メモリセルトランジスタQ<sub>n1</sub>が"0"状態、したがってデータ線電位V<sub>dl</sub>が高レベルV<sub>b</sub>のときは、第2の参照電位V<sub>ref2</sub>が高レベルV<sub>b</sub>であるから、トランジスタQ<sub>n1</sub>、Q<sub>n2</sub>およびQ<sub>n3</sub>を流れる電流が同一の大きさになる。ここで、第1の参照電位V<sub>ref1</sub>は低レベルV<sub>a</sub>であるから、トランジスタQ<sub>n2</sub>を流れる電流は上記Q<sub>n1</sub>、Q<sub>n2</sub>、Q<sub>n3</sub>を流れる電流よりも小さくなる。したがって、この差動増幅回路20は、低レベルV<sub>a</sub>の第1の参照電位に基づいて電位V<sub>sa</sub>を高レベルにして出力する。このように基準とした参照電位V<sub>ref1</sub>またはV<sub>ref2</sub>とデータ線電位V<sub>dl</sub>との差は、データ線電位V<sub>dl</sub>が高低いずれのレベルであっても、上記高レベルV<sub>b</sub>と低レベルV<sub>a</sub>との差となっている。この差動増幅回路の入力の電位差(V<sub>b</sub>-V<sub>a</sub>)は、従来に

比して設計上約2倍となっており、したがって差動増幅回路20の動作余裕が増えている。

製造ばらつき等によって、メモリセルトランジスタQ<sub>n1</sub>が"0"状態のときに、データ線D<sub>L</sub>の放電電流が生じると、データ線電位V<sub>dl</sub>が低下して、V<sub>b</sub>以下の値となる。このとき、ダミーメモリセルトランジスタQ<sub>n2</sub>がメモリセルトランジスタQ<sub>n1</sub>の"0"状態と同一特性を有しているの、第2の参照電位V<sub>ref2</sub>もデータ線電位V<sub>dl</sub>と同じだけ低下する。したがって、第1の参照電位と第2の参照電位の差(V<sub>ref2</sub>-V<sub>ref1</sub>)が減少し、これに伴って上記差動増幅回路20の入力電位差が減少する。しかしながら、上記第1、第2の参照線電位の差(V<sub>ref2</sub>-V<sub>ref1</sub>)は設計上(V<sub>b</sub>-V<sub>a</sub>)となっているため、半分程度になったとしても、従来のセンス増幅回路の設計レベル並みであるから上記差動増幅回路20は正常に動作する。したがって、従来に比して安定にセンス増幅動作を行うことができる。

なお、この実施例はマスクROMのセンス増幅

-15-

回路としたが、これに限られるものではなく、この発明は、EPROM、EEPROMなど、メモリセルが各1つのMOSトランジスタで構成された半導体メモリに広く適用することができる。

#### <発明の効果>

以上より明らかなように、この発明のセンス増幅回路は、上記メモリセルの"1"状態と同一特性を有するトランジスタからなる第1のダミーメモリセルと、上記メモリセルの"0"状態と同一特性を有するトランジスタからなる第2のダミーメモリセルと、上記第1のダミーメモリセルに接続され、第1のダミーメモリセルのトランジスタの特性に応じて低レベルの参照電位が与えられる第1の参照線と、上記第2のダミーメモリセルに接続され、第2のダミーメモリセルのトランジスタの特性に応じて高レベルの参照電位が与えられる第2の参照線と、検出すべきメモリセルにつながるデータ線と第1、第2の参照線とを差動入力として受けて、第1、第2の参照線のうち上記データ線と電位が異なる方の参照線の電位に基づいて上

-16-

記メモリセルの論理状態に応じた高低いずれかのレベルを出力する差動増幅回路を備えているので、マスクROM、EPROM、EEPROMなどの半導体メモリにおいて、製造ばらつきや書き換えに伴う特性劣化等によってメモリセルの"0"状態(高しきい値)の電流特性が悪化したとしても、安定にセンス増幅動作を行うことができる。

#### 4. 図面の簡単な説明

第1図はこの発明の一実施例のセンス増幅回路を示す回路図、第2図は上記センス増幅回路のデータ線と第1、第2の参照線の電流-電圧特性を示す図、第3図は従来のセンス増幅回路のデータ線と参照線の電流-電圧特性を示す図、第4図は従来のセンス増幅回路を示す回路図である。

20…カレントミラー型差動増幅回路、

BL…ビット線、

DBL<sub>1</sub>、DBL<sub>2</sub>…ダミービット線、

DL…データ線、

Q<sub>n1</sub>…メモリセルトランジスタ、

Q<sub>n2</sub>、Q<sub>n3</sub>…ダミーメモリセルトランジスタ、

$Q_{n1}, Q_{n2}, Q_{n3}, Q_{n4}, Q_{n5}, Q_{n6}, Q_{n7}, Q_{n8}, Q_{n9}, Q_{n10}, Q_{n11}$

…NMOSトランジスタ、

$Q_{p1}, Q_{p2}, Q_{p3}, Q_{p4}, Q_{p5}$ …PMOSトランジ

スタ、

REF, …第1の参照線、

REF, …第2の参照線、

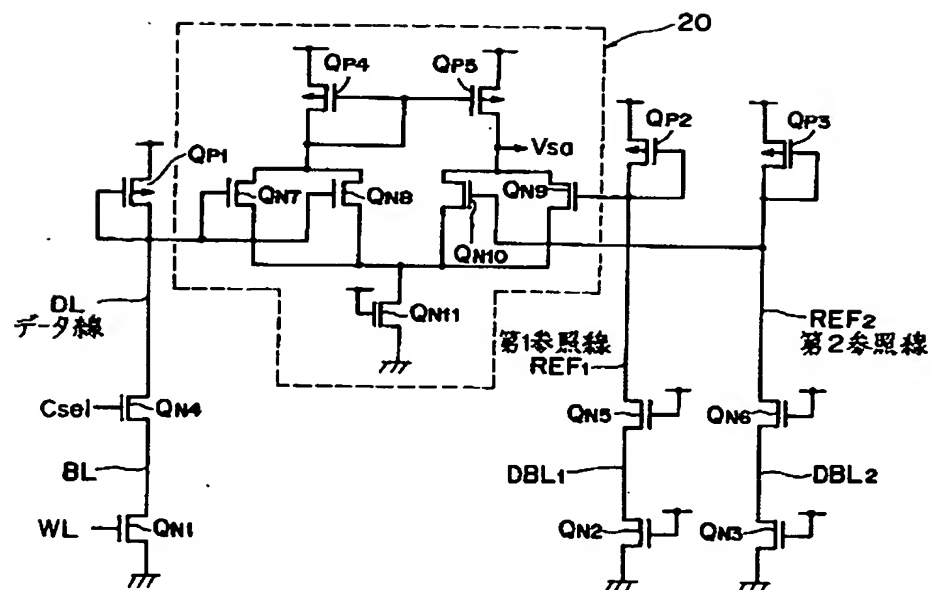
WL…ワード線。

特 許 出 願 人 シャープ株式会社

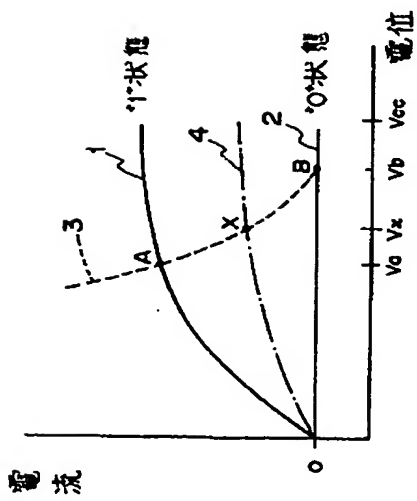
代 理 人 弁 理 士 青 山 淳 ほか1名

-19-

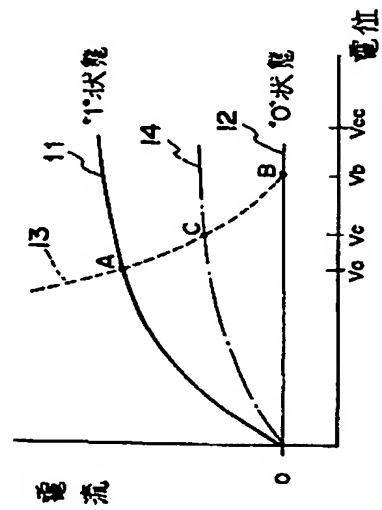
第 1 図



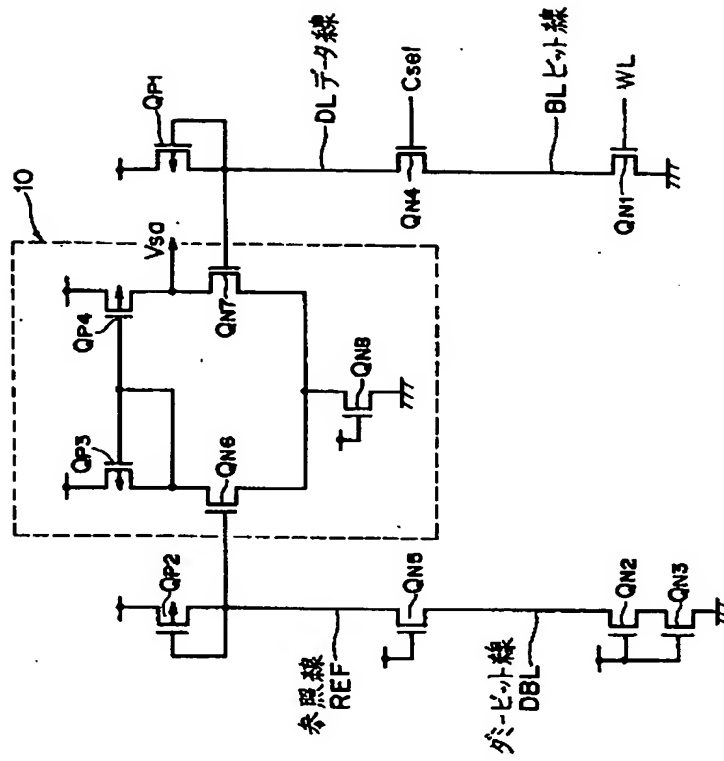
第 2 図



第 3 図



第 4 図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**